# PATENT ABSTRACTS OF JAPAN

Cite No. 1

(11)Publication number:

10-013219

(43)Date of publication of application: 16.01.1998

(51)Int.CI.

H03L 7/081 H03K 5/14

(21)Application number: 08-167242

(71)Applicant: MITSUBISHI ELECTRIC CORP

(22) Date of filing:

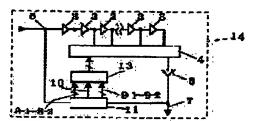
27.06.1996

(72)Inventor: ISHII SUSUMU

## (54) CLOCK SIGNAL DEVIATION PREVENTION CIRCUIT

#### (57)Abstract:

PROBLEM TO BE SOLVED: To falsely approximate the comparison characteristic to a linear shape and to shorten the synchronizing time by selecting the output of plural delay elements, connected in series to delay an external clock signal in response to a control signal. SOLUTION: A phase comparator 11 of a DLL(delay lock loop) circuit 14 compares the phases of external and internal clock signals 6 and 7 with each other. A control signal generation circuit 13 produces the control signals in accordance with the phase differences based on the comparison results 8-1 to 8-2, 9-1 to 9-2 and 10 of the comparator 11. Then plural delay elements 3 are connected in series to delay the external clock signal 6. A multiplexer 4 selects one of elements 3 in accordance with the control signal of the circuit 13. The circuit 13 increases or decreases the number of elements 3 which are changed at a time by a selection circuit, based on the advance/delay information and in accordance with the degree of deviation of clock signals and therefore, can shorten the deviation correction time.



#### **LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(19)日本開始許介(JP)

# (12) 公開特許公報(A)

(11)特許出席公開發导

特開平10-13219

(63)公開日 平流10年(1986) 1 月16日

| (51) Int.CL |       | <b>5091624</b> | <b>广内整理游导</b> | Pi   |      |   | 技術表示能够 |
|-------------|-------|----------------|---------------|------|------|---|--------|
| HOSL        | 7/081 |                |               | HOSL | 7/08 | J |        |
| HOSK        | 5/14  |                |               | HOSK | B/14 |   |        |

## 容型部準 京部港 苗京英の歌4 QL (全 12 頁)

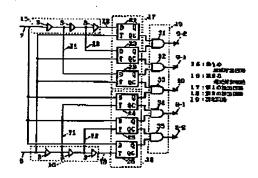
| ②1〉出職番号 | <b>特額平3-1872位</b> | (なり 田本人                        |              |  |   |        |              |
|---------|-------------------|--------------------------------|--------------|--|---|--------|--------------|
| (22)出版日 | 平成8年(1996) 6月27日  | 三宝田康仲式会社 東京都千代田区丸の内二丁目 2 絶 3 号 |              |  | 5 |        |              |
|         |                   | (72) 影引者 石井 特                  |              |  |   | -      |              |
|         |                   |                                | 東京都門<br>遊園優終 |  |   | 二丁目2番9 | <b>ਰ</b> ੁ ≡ |
|         |                   | (74)代理人                        |              |  |   | (外2名)  |              |
|         |                   |                                |              |  |   |        |              |
|         |                   |                                |              |  |   |        |              |
|         |                   | ,                              |              |  |   |        |              |
|         |                   |                                |              |  |   |        |              |
|         |                   |                                | •            |  |   |        |              |
|         |                   | l l                            |              |  |   |        |              |

## (50 【発明の名件】 クロック信号のズレを防止する回路

## (52)【契約】

【課題】 外部クロック信号と内部クロック信号とのズレを存正する時間を短縮する。

【解決手段】 位相比較器において、外部クロック信号 6と内部クロック信号7とのズレの程度の追いによる情報も含むような比較結果8-1,8-2。9-1、9-2、10を生成する。マルチプレクサは、外部クロック 信号を提延させる退延承子の選択について、この比較結 早に応じた選延素子の個数の変更を行う。



(2)

**特限平10-13219** 

#### 【特許請求の毎囲】

【助水栗 1 】 外部クロック信号を達成させるため値列 に接続された神数の選延来子と、

前記博教の選延素子の出力を制御信号に応じて遊会する ことにより、前記外部クロック信号が通過する返延素子 の個数を変える選択回路と

前配選択回路が選択した連延素子の出力から内部クロック信号を生成して内部回路に対し出力するクロックドライバと、

前記外部クロック電号と前記内部クロック信号とを比較 10 し、前記外部クロック信号と前記内部クロック信号との 進み遅れの情報およびズレの程度に応じた比較枯葉を出 カナる比較発足

南記比較器の比較信果に応じて南記副政信号を前記選択 国話へ関力する副連信号発生回路とを備え、

育部制御信号発生回路は、両記選択回路が一度に変化させる返任業子の値数を、前記ズレの程度に応じて増減させることを特殊とする。クロック信号のズレを防止する回路。

【語水項2】 剪記比較器は、

関記内部クロック信号を連続させて連続置の異なる複数 の第1の連種クロック信号を生成する第1の連続付加回 舞人

前記外部クロック信号を返延させて遷延食の具なる複数 の第名の遅延クロック信号を生物する第2の遅延付加回 係点。

前記率1の連絡付加回路が出力した前記御数の第1の基 延クロック信号のそれぞれに対し両記外部クロック信号 が遅れているか否かを検出する貸1の約出回路と

前記第2の遅延付加回語が出力した前配検数の第2の差 30 位クロック信号のやれぞれに対し前記内部クロック信号 が遅れているか答かを検出する第2の輸出回路と、

前記第1 および集2の検出回路の検出核果から前記複数の用1の選起クロック信号の中の前記分部クロック信号に対し選託量の近い信号または前記複数の第2の選延クロック信号の中の前記内部クロック信号に対し遅延置の近い信号を判定することにより前記比較結果を生成し出力する判定回路とを備える。請求項1 記載のクロック信号のスレを防止する回路。

【請求項3】 前記複数の第1の選延クロック信号の選 40 選重は、特益級数的でなくその母が高次増加するよう重 み付けがなされ。

前記博教の第2の選及クロック信号の選延量は、等差級 数的でなくその差が衝次増加するように重み付けされて いるととを特徴とする、頭水塔2記録のクロック信号の ズレを防止する回路。

【請求項4】 解記第1の検出回路は、前記複数の第1 の選延クロック信号にそれぞれ対応して設けられ、前記 外部クロック信号に応答してそれぞれ対応する第1の選 延クロック信号をデータとして限り込む複数の第1のフ リップフロップ回路を含み

解認罪2の検出回路は、前記複数の準2の選延クロック 使号にそれぞれ対応して設けられ、それぞれ対応する第 2の選延クロック信号に応答して前記内部クロック信号 をデータとして取り込む複数の第2のフリップフロップ 回路を含み、

前記判定回路は、

可能複数の第1のフリップフロップ回路の中で、データ として取り込む第1の選延ケロック信号の選延量が近接 する2つのフリップフロップ回路の出力の共同を判別す る少なくとも一つの第1の判別記述と、

前記複数の第2のフリップフロップ回路の中で、データ 取り込みのタイミングを与える前記率2の選还クロック 信号の基延量が近接する2つのフリップフロップ回路の 出力の異同を判別する少なくとも一つの92の判別回路 と

商記博教の第1の連延クロック伝号の中の選延量が最も かさい第1の連延クロック信号をデータとして取り込む 第1のフリップフロップ回路の出力に対し、前記博教の 第2の選延クロック信号の中の選延量が最もかさい第2 の連延クロック信号をデータ取り込みのタイミングを与 える信号として用いる第2のフリップフロップ回路の出 力の異同を判別する第3の判別回路とを含むことを特徴 とする、請求項2または差求項3記載のクロック信号の ズレを防止する回路。

#### 【発明の詳細な説明】

[1000]

【発明の属する技術分野)との発明は、複数のクロック 信号間で発生するクロック信号のズレを防止する国際に 関し、特に半導体集積回路装置におけるPLL (Phase Locked Loop: 位相同期ループ)回路の一種であるディ レイロックループ (Delay Locked Loop) 回路に関する ものである。

[0002]

【従来の技術】ディレイロックループ国路(以下、DL し回路という。) は、半導体チョブに内蔵され、半導体 チップの内部と外部でクロック信号の位相を合わせる値 きをする回路である。この回路によって、異なるチョブ 聞においても、グロック信号に同類した動作を得られ る。図8は、従来のひしし回路の構成を示すプロック図 である。図8において、1は外部クロック位号6と内部 クロック信号?の立ち上がり位相を比較する位相比較 器、2は位相比較器1が比較結果として出力するアップ 但号8 およびダウン包号9の計数を行うアップダウンカ ウンタ、3は直列に接続され外部クロック信号6を選延 させるための複数の退延素子、4は複数の遅延素子3の 出力の選択を行う選択回路として傾くマルチプレクサ、 5はマルチプレクサ4で選択された遅延家子3の出力か 5内部クロック信号7を生成して内部回路に対し出力す るクロックドライバである。

**特限平10~13218** 

【9903】 位相比較高1は、位相同期の基準となる外 部クロック信号8とクロックドライバ6から与えられる 内部クロック信号?の立ち上がり位相を比較して同期し ていない場合にアップ使号8またはダウン使号9のいず れかも出力する。アップダウンカクンタ2はアップ使号 8またはダクン信号9を受けてそれぞれカウントアップ またはカウントダウンする。三種素子3は、外部クロッ ク信号6を選延させる最小単位である。選延素子3は、 例えばインバータ回路を2段直列接続した回路で、入力 位号をある一定時間遅延させてから出力する。この遅延 10 素子3は少なくと62個以上直列接続され、それぞれの 接続点からは号機が引き出され、マルチブレクサ4に入 力される。 マルチブレクサ4は、 アップダウンカウンタ 2の出力に応じて、値列に独続された過延素子3の複数 の独貌点の中から1つだけ歴史する。チップ外部から僕 給される外部グロック保守8は、その接続点までの選を 素子3を採由してクロックドライバ5へ供給される。マ ルチプレクサ4によって選択された銃破点までの連延素 子3を経由してクロックドライバ5に入力されるので、 チップ内部に供給される内部クロック信号7の立ち上が 25 り位相の進み遅れば、延由する遅延素子3の個数に依存 しており、遅延素子3の個数を変化させることによって 変更することが可能である。クロックドライバらは、マ ルチプレクサ4から出力されるクロック信号をバッファ してチップ内部に供給する。

3

【0064】位組比較器1の機械の一例を図りに示す。 Dしし回路は、アナログPしし回路のように回波数を比 蚊する必要がないので、単純にフリップフロップ回路の みで補償可能である。フリップフロップ回路20のクロ ョク指子(T端子)には外部クロック信号6を入力し、 データ場子(D端子)には内部クロック信号でを入力す る。外部クロック信号6に対し内部クロック信号7が遅 れている場合。外部クロック信号8がロー(Lo)レベ ルからハイ(Hí)レベル化立ち上がった時に内部クロ ック信号でがまだハイレベルに立ち上がっていないの で、フリッププロップ国路とOはローレベルをラッチレ てQC蟾子にハイレベルを出力する。逆に、外部クロッ ク信号6に対し内部クロック信号7が進んでいる場合。 外部クロック信号8がローレベルからハイレベルに立ち 上がった時に内郎クロック信号ではすでにハイレベルに 40 立ち上がっているので、ブリッグフロップ回路をりはハ イレベルをラッチしてQ備子にハイレベルを出力する。 【0005】外部クロック信号6と内部クロック信号7 の立ち上がり位相は、位祖比較器1により比較される。 図10は位相比較器1の位相比較特性を示すグラフであ る。図11において、微軸は外部クロック信号6と内部 クロック位号での位相差で、グラフのプラス領域は内部 クロック信号でが遅れていることを表し、マイナス領域 は内部クロック信号でが進んでいることを表している。 報軸は、位相比較器1の出力、すなわち一回の位相比較 50

で増添する連絡素子の数量である。このグラフからわか るように、外部クロック信号8に針し内部クロック信号 了が遅れているとき、比較器1はアップ任号8を出力す る。 遊に、外部クロック情号8に対し内部クロック性等 **?が進んでいるとき、位担比較語』はダウン信号9を出** 力する。アップダクンカウンタ2はアップ住号8が入力 されると外部クロック住号6か経由している遅延君子3 を1個減らし、ダウン健号9が入力されると外部クロッ ク信号のが任由している返延素子3を1個地やす。 選送 景子3の絵理経時間を、外部クロック周期に比べて充分 大きくし、初期設定を行えば、外部クロック信号6に対 しし周期連れで内部クロック信号でと同期する。同期す る時間は、外部クロック周波数、遅延赤子1個当たりの 選延時間などによって変化する。一般的には、連延素子 1個当なりの運送が大きい場合は小さい場合に比べて、 位相同時時間は短いが位相限主は大きくなる。

[9906]

【発明が経色しようとする課題】従来のクロック信号の ズレを防止する回路は以上のように領域されているの で、外部クロック信号もと内部クロック信号でのズレ (位祖差を含む。)の大きさは比較器1では判断してお らず、ズレの程度はアップダウンカウンタ2から出力さ れるアップ任号をおよびダウン位号9に反映されない。 比較器1は、アップダウンカウンタ2かクロック信号に 応答して助作するので、外部クロック信号をより内部ク ロック信号でが進んでいれば、そのズレの程度に関係なくグランに号9が出力され、進れていれば、そのズレの 程度に関係なくアップ信号をが出力される。したがっ て、ズレが大きい場合、同期等でがズレの程度に応じた 比較回数が必要となり、同期時間が長くなるという問題 がある。

【0067】またそのため、同節した後、フィズなどにより同時が外れた場合、同期状態に復居するまでに時間がかかり、赤差が大きくなってしまうという問題がある。

【0008】この発明は上記のような問題点を解消するためになされたもので、クロック位号のズレを防止する国路において、ズレの程度に応じて一度に変更する選起時間を変化させてやることにより、比較特性を疑似的に破形に近づけ、同期時間の短縮を図ることを目的としており、四瀬ノイズなどの外孔により同期が外れた場合でも、誤差の着大を抑え、迅速に再同期させることを目的とする。

[0000]

【課題を解決するための手段】第1の無明に係るクロック信号のズレを防止する回路は、外部クロック信号を選延させるため値列に採続された複数の連延素子と、前記複数の遅延素子の出力を制御信号に応じて選択することにより、前記外部クロック信号が通過する遅延素子の個数を変える選択回路と、前記選択回路が選択した遊送業

(4)

特別平10-13219

子の出力から内部クロック信号を生成して内部部庭院に対 し出力するクロックドライバと、前記外部クロック信号 と前記内部クロック信号とも比較し、前記外部ケロック 位号と可型内部クロック信号との近み連れの情報および ズレの程度に応じた比較結果を出力する比較器と、前記 比較器の比較結果に応じて開記制御信号を前記選択回路 へ出力する制御信号発生回路とを構え、前記制御信号発 生回路は、前記選択回路が一度に変化させる選延索子の 個数を、前記ズレの程度に応じて始減させることを特徴

【0010】第2の発明に係るクロック信号のズレを防 止する困路は、第1の発明のクロック信号のズレを防止 する回路において、前記比較器は、前記内部クロック位 号を遊延させて過速量の異なる複数の第1の運転クロッ ク信号を生成する第1の返延付加回路と、前記外部クロ ック信号を選続させて選延量の異なる複数の第2の遅延 クロック信号を生成する第2の選延付加回路と、資記章 1の遊び付加回路が出力した前記を敷む着!の返延クロ ック信号のそれぞれに対し関記外部クロック位号が遅れ ているか者がを統当する第1の検出回路と、前記第2の 29 **遅延付加回路が出力した前記復数の準2の連延クロック** 信号のそれぞれに対し策記内部タロック信号が遅れてい るか否かを検出する第2の検出回路と、 前記第1 および 第2の検出回路の検出結果から耐起複数の第1の連絡ク ロック住場の中の前配外部クロック信号に対し返延量の 近い信号または前記複数の第2の遅延クロック信号の中 の研究内部クロック信号に対し連延量の近い信号を制定 することにより函記比較結果を生成し出力する判定回路 とを備えて搭成される。

【0011】第3の発明に係るクロック信号のズレを防 刃 止する回路は、第2の発明のクロック信号のズレを防止 する回路において、前記複数の第1の連延クロック位号 の過速量は、等差級数的でなくその差が漸次増加するよ う重み付けがなされ、黄記複数の第2の遅延クロック位 号の連延量は、考差級数的でなくその差が衝攻増加する ように重み付けされていることを特徴とする。

【りり】2】第4の発明に係るクロック信号のズレを防 止する回路は、第2または第3の発明のクロック信号の ズレモ防止する回路において、前記第1の検出回路は、 版けられ、前記外部クロック信号に応答してそれぞれ対 応する第1の遅延クロック信号をデータとして取り込む 雑数の第1のフリップフロップ回路を含み、閉記第2の 枚出回路は、前記征数の第2の選延クロック信号にそれ それ対応して設けられ、それぞれ対応する第2の過程ク ロック信号に応答して前記内部クロック信号をデータと して取り込む複数の第2のブリップフロップ回路を含 み、顔記判定回路は、前記複数の第1のフリップフロッ フ回路の中で、データとして取り込む第1の連延クロッ ク信号の選延室が近接する2つのフリップフロップ回勤 50 6を経延させて逆延査の異なる複数の第2の遅延クロッ

の出方の質問を判別する少なくとも一つの貸1の判別回 路と、研定複数の第2のブリップフロップ回路の中で、 データ取り込みのタイミングを与える前型第2の過程ク ロック信号の直転性が近接する2つのフリップフロップ 回路の出力の異同を拝削する少なくとも一つの第2の特 別顧路と、前記複数の第1の選続クロック信号の中の選 延量が最も小さい第1の遅延クロック信号をデータとし て取り込む第1のフリップフロップ回路の出力に対し、 前記複数の第2の遅延クロック信号の中の遅延量が最も 19 小さい第2の連続クロック信号をデータ取り込みのタイ ミングを与える信号として用いる第2のフリップフロッ ブ国路の出力の異同を特別する第3の判別回路とを含む ことを特徴とする。

【発明の実施の形態】

[0013]

実態の影響1.以下、との発明の突縮の影響1によるク ロック信号のズレを防止する回路(DLL回路)につい て図1~図3を用いて説明する。ここでは、説明を笛卓 にするために、外部クロック信号6と内部クロック信号 7は互いにそのデューティ比(1月期中のハイレベルの 間間の割合)が同じものであるとしてDLL回路につい て説明する。図1はこの発明の実施の形成1によるDL 上回路の構成を示すプロック図である。図1において、 14以口しし回路、11は外部クロック信号6と内部ク ロック信号での位相を比較する位相比較器、13は位相 比較像11の比較結果8-1,8-2、9-1、9-2 および10に替づいて位相差に応じた訓練信号を発生す る副副の号発生回路、3は外部クロックは号もを連延さ せるため直列に接続されるとともにそれぞれの接続点か ら信号機が引き出される複数の選起素子、4は創剤信号 発生回路13が出力した調御虚母に応じて複数の返注業 子3の接続点の中から一つだけ選択する選択回路として 働くマルチプレクサ、5はマルチプレクサ4で連択され た遅延電子3の出力から内部クロック信号7を生成して チップ内部の内部回路に対し出力するクロックドライバ である。基理素子3は、外部クロック信号6を返落させ る最小単位である。 制御信号発生回路 13は、位相比較 器11の比較結果に応じて返延差子3を増減するため、 この増減する個数に関する調節信号をマルチプレクサイ 前記複数の第1の選延クロック信号化それぞれ対応して 40 に伝達する。例えば、料剤信号発生回路!3は、従来か ちあるエンコーダで倦怠できる。この副御位号発生四部 13が出力する調節に号は、アップダウンカウンタ2が 出力していたものと同じビット数の信号である。

【0014】図2は、位相比較器!1の機械を示す回路 図である。この実施例では後明を簡単にするため、6個 のフリップフロップ回路を並列を走した例を示す。 図2 において、15以内部クロック包号7を選起させて返延 量の異なる複数の第1の連絡クロック信号X1~X3を 生成する第1の基準付加面路、16は外部クロック信号

(5)

特問平10-13218

【9015】第18よび第2の選절付加回路15.16は、それぞれ3個プラの返延業子3で構成されている。第1の遅延付加回路15において、3個の遅延第子3は直列に接続され、内部クロック信号7は一つ回の遅延業子3によって遅延されて第1の遅延されて第1の遅延されて第1の遅延かり、2番目までの2つの返延素子3によって遅延されて第1の遅延かりに、3個の選延素子3は直列に接続され、外部クロック信号8は一つ目の遅延素子3によって遅延されて第2の遅延がフロック信号91となり、2番担までの2つの透延を子3によって遅延されて第2の遅延がフェック信号92となり、全ての遅延オ子3を提て第2の遅延クロック信号93となる。

【9016】第1の検出国路17は、フリップフロップ 国路21~23で検戒されており、その性能は関7に示したブリップフロップ国路21は、そのり結子に第1の選送 クロックに母X3が与えられ、その下海子に外部クロック信号6が与えられる。2番目のフリップフロップ回路22は、そのり端子に第1の選送クロック信号6が与えられる。3番目のフリップフロップ回路23は、そのり端子に第1の選延クロック信号6が与えられる。3番目のフリップフロップ回路23は、そのり場子に第1の選延クロック信号6が与えられる。

【0017】第2の検出回路18は、ブリップフロップ回路24~28で構成されている。4番目のフリップフロップ回路24は、そのT端子に第2の連起クロックほ号 1が与えられ、そのD端子に内部クロック信号 7が与えられる。6番目のフリップフロップ回路26は、そのT端子に南2の選起クロック信号 7が与えられる。6番目のフリップフロップ回路26は、そのT端子に南2の選起クロック信号 7が与えられ、そのD端子に内部クロック信号 7が与えられる。

【9918】制定国路19は、フリップフロップ国路2 1~26より一つ少ない6つの2入方AND国路31~ 36で構成されている。AND国路31は、その一方の 入力備子にフリップフロップ国路21のQC出力が与え 50 5れ、その他方の入力増子にフリップフロップ回路22のQ出力が与えられる。AND回路32は、その一方の入力増子にフリップフロップ回路22のQに出力が与えられ、その他方の入力増子にフリップフロップ回路23のQ出力が与えられる。AND回路33は、その一方の入力増子にフリップフロップ回路23のQ出力が与えられる。AND回路34は、その一方の入力増子にフリップフロップ回路24のQに出力が与えられ、その他方の入力増子にフリップフロップ回路24のQ出力が与えられる。AND回路36は、その一方の入方増子にフリップフロップ回路26のQ出力が与えられる。AND回路36は、その一方の入方増子にフリップフロップ回路26のQ出力が与えられる。

【0019】例えば、初期状態で、外部クロック信号6に対し内部クロック信号でお返过電子3の2.5個分の時間だけ退れているとする。この場合の位相比較器11の各コリップフロッフ回路21~26の出力状態を示したものが終1である。

[0020].

【表】】

|    | Q    | QC  | N  | Y  |
|----|------|-----|----|----|
| 21 | Lo   | E)  | 81 | ما |
| 22 | (192 |     | 82 | Lo |
| 28 | رويا | HI) | 33 | La |
| 24 | Log  | AI) | 34 | Lo |
| 25 | Lo   | Hi  | 35 | НI |
| 28 | Ey.  | Lo  |    |    |

C ANDAD

【0021】フリップフロップ回路25のQC出力と、フリップフロップ回路25のQ出力がともにハイレベルであるので、AND回路35の出力8・2のみハイレベルになる。ずなわち、特定回路19は、内部クロック位号では、外部クロック位号6に比べて返送量子3の連延時間の2倍以上進んでいるという特定結果を制制信号発生回路13に対し出力する。この特定結果を受けて、制御信号発生回路13は、返送素子3を2個分減らす信号をマルチプレクサ4に伝送する。外部クロック信号6が遅出する遅延素子3が2個減った後の比較遅11の各フリップフロップ回路の出力状態を豪2に示す。

[0022] · [表2] (6)

【りり23】この状態では、外部クロック位号8に対し 内部クロック信号7が遅延素子3の0.5個分の時間だ け遅れている。フリップフロップ回路23のQC出力 と、プリッププロップ回路を4のQ出力がともにハイレ ベルであるので、AND回席33の出方10のみハイレ べんとなる。すなわち、判定回路は、内部クロック信号 7に対する外部クロック信号6の進み連れが連延素子3 --自分の選延時間以内に収まっており、位相同期が完了 20 いたことを示す。しかしながら、依然として遅延索子 0. 5個分のズレは存在するが、基延常子1個の基礎時 聞よりも小さいので、ズレをそれ以上値めることはでき ず、位相誤芸として現れる。この選送券子3一個分の選 延時間が、DLL回路の時間分解能といえる。とのよう に、一回の位相比較で外部クロック信号6と内部クロッ ク信号7の位祖国朝を行うてとができる。

【0024】もし、AND回路31の出力9‐2がハイ レベルならば、一度に、遅延素子3の2個分の遅延時間 を増やし、AND回路32の出力9-1がハイレベルな 30 ちば、選起素子3の1個分の選起時間を増やし、AND 直路33の出力10がハイレベルならば、遅延第子3の 始編はせず、AND回路34の出力8 - 1 がハイレベル ならば、 選延素子3の1個分の選延時間を残らし、 AN D回路35の出力8・2がハイレベルならば、返送家子 3の2個分の通過時間を減らす。最終的にAND回路3 3の出力10. ずなわちロック (Tock) 信号がハイレベ ルになれば、位相同期が完了したことになる。これら、 AND回路31、32が第1の報題回路に落し、AND 國路34,35が第2の判別回路に属し、AND回路3 3が第3の利別回路に届する。

【9025】図3は、位組比較終11の位相比較特性を 示すグラフである。横端は外部クロック伝号6と内部ク ロックは号子のズレの視覚で、グラフの荷輪のプラス領 建設内部クロック個母子が遅れているととを表し、マイ ナス領域は内部クロック信号7が進んでいることを表し ている。縦軸は、位相比較器11の出力、すなわち一回 の位相比較で相縁する遅延累子の数量である。このグラ つからわかるように、外部クロック信号6に対し内部ク ロック信号7が連れていれば、そのズレの程度に応じた 50 3の8個分の連続時間が付加されている。すなわち、第

特闘平10-13219

10

退基案子の保険分だけ遅延時間を増やすアップ信号8を 出力し、外部クロックは号に対し内部クロック信号7が 走んでいればそのズレの程度に応じた正述素子の個数分 だけ連្立時間を乗らすダウン位号9を出力する。その結 早、位相特性は解散的ではあるが、熱形なものになる。 図3から分かるように、従来のDもし図式では、ズレが 0の近傍にあるときでも0を越えるか越えないかによっ て返延来子の切換が行われていた。それに対し、この実 她の形態!によるDLL回路では、ズレがOの近傍では 19 通み遅れの調整のための連絡素子の衝散の変更が行われ ない。外部クロック位号Bと内部クロック位号?のズレ がない状態が最も頻繁に関れる状態であるため、りの近 傍で海洋ネ子の個数の切除が行われないととは、ノイズ の原因や消費電力を抑制できるという効果がある。

【0026】上述の例では、説明を簡単にするため、6 個のブリップフロップ回路を使用した位相比較器11を 様成したので、1回の位祖比較について選延素子3個分 のズレまでの判定しかできないが、使用するフリップフ ロップ国路の個数を増やせば、より広義国のベレ科定が 時時に行える。

【0027】実施の形態2. 図4は、この発明の実施の 形験2によるDLL回路に用いられる位相比較器の構成 を示す回路図である。完器の意味2によるDLL回路 は、図1に示した位相比較番11の構成が実施の形態1 によるDLL回路と具なるだけである。図4において、 3 8 は内部クロック位号でを遅延させて遅延量の異なる 複数の第1の連張クロック信号X4~X7を生成する針 1の運送付加回路、37は外部クロック伝号6を運送さ せて連延型の異なる複数の第2の連絡ケロック信号Y4 ~Y7を生成する第2の返送付加回路。38は第1の選 延付加四路36が出力した複数の第1の基準クロック信 号X4~X7のそれぞれに対し内部クロック位号7が遅 れているか否かを検出する第1の検出回路、39は第2 の連絡付加回路37が出力した複数の第2の連続テロッ ク信号¥4~¥?のそれぞれに対し外部クロック信号6 が遅れているか否かを検出する第2の後出層器。40は 質1 および第2の検出回路38、39の検出結果から外 部クロック信号8と内部クロック信号での進み遅れの情 鑑ねよびズレの理度を含む比較結果を出力する特定回路 である。

【りり28】図4からわかるように、複数の第1の連延 クロック信号X4~X7の造送量が、写差級数的でなく その差が衝次増加するよう重み付けがなされている。第 1の差越クロック信号X4は、内部クロック信号でに対 し返延呆子3の1個分の返延時間が付加されており、同 様に第1の遅延クロック信号X5は遅延素子3の2倍分 の連្អ時間が付加されており、間様に第1の連続クロッ ク信号X6は返延量子3の4個分の返延時間が付加され ており、同様に第1の遅延クロック個号X7は遅延念子 (7)

**特異平10-13219** 

1の基準クロック個号メ4~X7の開放するもの同士の 選延時間の選は、選延素子3の1個分、2個分、4個分 と海次増加している。複数の第2の直延クロック信号Y 4~Y7の連延重が、守世級教的でなくその差が強火婦

加するように並み付けされていることも関係である。 【0029】第1の検出回路38は、フリップフロップ 回路41~44で様式されており、その性能は図?に示 したフリップフロップ国路204同様である。 1 番目の フリップフロップ回路41は、そのD機子に第1の基础 クロック低号K?が与えられ、その丁鑵子に外部クロッ 10 ク信号6が与えられる。 2番目のフリップフロップ回路 42は、そのD億子に第1の連延クロック億号×6が与 えられ、そのT権子に外部クロック信号6が与えられ る。 3番目のフリップフロップ回路43は、そのD絶子 に第1の選延クロック信号X5が与えられ、その丁鑑子 に外部クロック信号6が与えられる。 4番目のフリップ フロップ回路44は、そのD端子に第1の遅延クロック 信号と4が与えられ、その丁始子に外部クロック信号6 が与えられる。

【0030】第2の検出回路39は、フリップフロップ 20 四路45~48で機成されている。 5番目のフリップフ ロップ回路45以、そのD続子に内部クロック信号7が 与えられ、そのT端子に第2の遅延クロックに何Y4が 与えられる。 6番目のフリップフロップ回路46は、そ のD端子に内部クロック信号7か与えられ、そのT鑷子 に第2の連延グロック信号Y5が与えられる。? 参目の フリップフロップ回路4.7は、そのD端子に内部クロッ ク信号7が与えられ、そのT基子に第2の連径クロック 位号Y6が与えられる。8番目のフリップフロップ回路 4.8は、そのD傭子に内部クロック信号7が与えられ、 そのT蛤子に第2の選延クロックは写Y7が与えられ

【0031】斜定回路40は、フリップフロップ回路4 1~48より一つ少ない7つの2入力AND回路61~ 5?で機成されている。AND回路51は、その一方の 入力端子にフリップフロップ回路41のQC出力が与え ろれ、その他方の入力迫手にフリップフロップ回路42 のQ出力が与えられる。AND回路52は、その一方の 入方指子にフリップフロップ回路42のQC出力が与え られ、その他方の入力絶子にフリップフロップ回路49 40 出力する。 のQ出力が与えられる。AND回路53は、その一方の 入力機子にフリップフロップ回露43のQC出力が与え **られ、その他方の入力増予にフリップフロップ回路4.4** のQ出力が与えられる。AND回路54は、その一方の 入力権子にフリップフロップ回路4.4のQC出力が与え られ、その他方の入力地子にフリップフロップ回路4.5 のQ出力が与えられる。AND回路55は、その一方の 入力機子にフリップフロップ回路46のQC出力が与え **られ、その他方の入力場子にフリップフロップ回路4.6** のQ出力が与えられる。AND回路58は、その一方の 50

入力権子にフリップフロップ回路 4.8のQC出力か与え ちれ、その他方の入力場子にフリップフロップ回路4.7 のQ出力が与えられる。AND回路57は、その一方の 入力伸子にフリップフロップ回路47のQC出力が与え られ、その他方の入力場子にフリップフロップ回路48 のQ出力が与えられる。AND回路5~~52は第1の 神明国路に関し、AND国路54は第3の村8回路に開 し、AND回路55~57は第2の判別回路に関する。・ 【9032】例えば、初期状態で、外部クロック信号6 に対し内部クロック信号? が退延至于3の7、5個分の 時間だけ遅れているとする。この場合の位相比較優しし のメフリップフロップ回路41~48の出力状態を示し たものが来るである。

17

[0033]

【表3】

|    | Q   | QC         |    | Y  |
|----|-----|------------|----|----|
| 41 | Lg  |            | 51 | Lo |
| 42 | 129 | HI)        | 52 | LB |
| 48 | 129 |            | 53 | Lo |
| 44 | 1.9 | 4.)        | 54 | Lo |
| 45 | Log | <b>(1)</b> | 55 | Lo |
| 46 | Lo  | <b>(i)</b> | 58 | LB |
| 47 | Log | (H)        | 57 | н  |
| 48 | н   | Lo         |    | ٠. |

【0034】オリップフロップ回路4.7のQC出力と、 フリップフロップ回路48のQ出力がともにハイレベル であるので、AND国路57の出力8-3のみハイレベ ルとなる。すなわち、利定回路40は、外部クロック色 号6に対し内部クロック信号7が選延素子3の連延時間 4 個分以上連れていることを示す判定結果を出力する。 この判定結果を受けて、制御信号発生回路13は、退退 ※〒3を4個分減ちずという位号をマルチプレクサ4へ

【9935】次の位相比較の時には外部クロック信号6 に対し内部クロック信号でが混延索子3の3.5個分の 時間だけ遅れている。この場合の位相比較器!」の各フ リップフロップ回路41~48の出方状態を示した6の が表4である。

[0036]

【表4】

Q ¢ Bi 63 1116 56 57

【り037】フリップフロップ回路46のQC出力と、 フリップフロップ国路47のQ出力がともにハイレベル であるので、AND回路58の出力8-2のみハイレベ ルとなる。ずなわち、利定回路40は、外部クロック値 20 号6亿計し内部クロック信号7が遅延累予3の連延時間 2個分以上4個分以下の遅れを有していることを示す利 定結果を出力する。この判定結果を受けて、制御信号を 生回路13は、連盟素子3の2個分の道廷時間を築らす という位号をマルチプレクサ4へ出方する。

【0038】次の位相比較の時には外部クロック信号6 に対し内部クロック位号7が選延素子3の1.5個分の 時間だけ連れている。この場合の位組比較器 1 1 の各ラ リップフロップ回路41~48の出力状態を示したもの が表らである。

[0039]

【表5】

| N  | Q   | Q C  |    | Y  |
|----|-----|------|----|----|
| 41 | Lg  | E)   | 51 | Lo |
| 42 | (19 | 4    | 52 | Lo |
| 48 | Log | (iii | 53 | Lo |
| 44 | Lo  |      | 54 | La |
| 46 | Lg  | H    | 55 | ĦI |
| 48 | Hy  | (1)  | 56 | Lo |
| 47 | H   | 10)  | 57 | Lo |
| 48 | Hy  | Lo   |    |    |
|    | _   |      | 4  |    |

【0040】フリップフロップ回路45のQC出方と、

(8)

特朗平10-13219

14

であるので、AND回路55の出力8-1のみパイレベ ルとなる。すなわち、特定回路40は、外部クロックほ 号のに対し内部クロック哲学7が連絡電子1個分以上2 個分以内の遅れを有しているととを示す料定結果を出力 ずる。異理素子1個分減らすという信号を制御信号発生 国路13に入力する。

【0041】次の位担比較の時には外部クロック信号6 に対し内部クロック団号?が遅延差子3の0.5個分の 時間だけ遅れている。この場合の位組比較器11の各フ 19 リップフロップ回路41~48の出力状態を示したもの

が表らである。 [0042] [表6]

|     | q   | QC          |    | y  |
|-----|-----|-------------|----|----|
| 41  | Lo  |             | 51 | Lo |
| 4 2 | Log | HI          | 52 | 70 |
| 43  | Log |             | 53 | Lo |
| 44  | Log |             | 54 | ĦĹ |
| 45  | Hì  | 13          | 55 | Lo |
| 48  | Hi  | <b>(19)</b> | 56 | Lo |
| 47  | T.  | 10)         | 57 | Lo |
| 48  | Hi  | Lo          |    |    |

【りり43】スリップフロップ国語44のQC出力と、 フリップフロップ回路45のQ出力がともにハイレベル であるので、AND回路54の出力10、すなわちロッ ク信号のみハイレベルとなる。すなわち、利定回路40 は、外部プロック個号6に対し内部クロック個号7が選 色素チ3の1個分末端の進み遅れしか有していないこと を示す判定結果を出力する。この判定結果を受けて、制 御信号発生回路13は、その出力を変更せず、位相同期 が完了したことになる。このように、7、5個分のズレ では4段階の位相比較で位祖司朝が完了する。従来では 40 7、5個分のボレでは7段階の位相比較を行わなければ ならないのに対し、この実験の形態とによるDi.L回路 では位相同判時間の短縮を図ることができる。 【0044】もし、AND回路51の出力9・3がハイ

レベルならば、一度に、遺域素子3の4個分の遺域時間 を増予し、AND回路58の出力9・8がハイレベルな ちば、選定数于3の2個分の遅延時間を増やし、AND 図路63の出力9・1がハイレベルならば、遅延素子3 の1個分の遅延時間を増やし、AND回路54の出力1 Oがハイレベルならば、連延時間の増減はせず、AND フリップフロップ回路46のQ出力がともにハイレベル 50 回路65の出力8・1がハイレベルならば、遅延素子3

(9)

特関平10-13219

の1個分の選絡時間を減らし、AND回路56の出力8 - 2ポハイレベルならば、遅延景子3の2個分の遮延時 間を減らし、AND回路57の出力8 - 3がハイレベル ならば、温度素テ3の4個分の速延時間を残らず。最終 的にAND回路54の出力10がハイレベルになれば、 **位相同期が完了したことになる。** 

15

【0045】比較器の位相比較特性を示すグラフを図? に示す。偽語は外部クロック信号6と内部クロック信号 7のメレの程度で、グラフの横時のプラス領域は内部ク ロック信号7が遅れていることを表し、マイナス領域は 10 内部クロック信号7が進んでいることを表している。縦 等は、位相比较器!!の出力、すなわち一回の位相比較 で増減する遅延素子の数量である。とのグラフからわか るように、外越クロック信号8に対し内部クロック信号 7が遅れていれば、そのズレの程度に応じて遅延素子を 増やすアップ信号8を出力し、外部クロック信号6に針 し内部クロック信号子が進んでいればそのズレの程度に 応じて遅延素子を減ちず ダウン信号9を出力する。

【0046】実能の形態1によるDしし回路では、フリ ップフロップ回路21~26に接続する遅延煮子3の遅 延時間の1個分ずつで変えていたが、実施の形態2のD しし回路のように基理素子3の遅延時間の1個分、2個 分、4個分、8個分というように並み付けして変える と、実践の形態1のDLし回路と同じく遅延時間に応じ た比較結果を出力することができ、更に、同じズレ料定 凝囲の場合、使用するフリップフロップ回路の個数を実 ちすことができる。但し、実施の形態2によるDLL回 第の場合は1回の位相比較では同期できず、数回の位相 比較を行い、段階的に位相同期を行うことになる。

よるDLL回路を機成するトランジスタのゲート長、ゲ - ト幅などの各トランジスタサイズは、 特に制限される ものではないが、SOG (Sea Of Gares: ゲート飲き詰 め型ゲートアレイ)のような、同じサイズのトランジス まが規則的に配列されているチェブ上にも実現すること ができる。

【0048】図6はこの発明の実施の形態3によるDL **上国路の機成を示す平面図である。図8において、60** はSQGの半準体チップ、81は半導体チップ60の内 部トランジスタ知識。14a~14dは内部トランジス 45 ヶ領域80の四階に意味されたDLL回路、82は内部 トランジスタ領域60の一部の領域、83は学導体チョ プ60上の内部トランジスタ観触60の層間に配置され た入力/出力パッファ領域、64は半導体チェブ60上 の入/出力バッファ領域63の周囲に配置されたバッド 領域、65は内部トランジスタ領域61に設けられたト ランジスタゲートである。内部トランジスタ領域61 は、全体にわたり一部の領域62と同じように、ゲート **隻」ゲート幅が同じトランジスタが規則正しく配列され** ている。

【0049】アナログPしし回路においてはノイズ対象 などの理由から、アナログ回路部分とディジタル回路部 分とを分離させなければならず、レイアウト上の制約が 多い。一方、Dしし国路においてはアナログ国路を使用 していないので、SOGのような、チップの内部領域に 同じサイズのトランジスタが規則正しく配列されている 半導体チップ60上に突視することができる。この場 台、図6のように、チップ60上の任意の位置に任意の 個数だけ、完全の影響1ねよび/または完施の影響2に よるDLL回路14を配置することが可能である。

16

【0050】DLL自転14を複数倒落放せるととによ る効果として、外部クロックの位相に合わせる内部クロ ックの場所が増えるので、 チップ内部全体のクロックス キューをより小さく抑えるととが可能となる。図?は、 一つの半導体チップ上に複数のDLL回路を設けたとき のDLL回路とクロックバッファとの関係を示す概念図 である。図7において、70は外部クロック信号CLK を受けて内部に分配するメインクロックバッファ、71 ~74はメインクロックバッファ70から受けたクロッ - ク信号をバッファぎるサブクロックバッファ、BLa~ 814はそれぞれサブクロックバッファ71~74から クロック信号の供給を受ける内部トランジスタ領域61 に設けられた部分回路である。このように各サプクロッ クバッファフィー~74の出力をそれぞれひしし回路14 4~14dを介して部分回路618~81dに分配する ことにより、サブクロックバッフォ71~74の負責の 注い化よるクロックスキューの違いを低減できる。

【0051】なお、上記書集施の影響は、外部クロック 位号6と内部クロック位号?のデューティ比が同じ場合 【0047】実站の形盤3.以上の実施の形盤1、2に 刃 について鎖網したが、クロックドライバ5がマルチプレ クサ4から出力されるクロック信号を所望のデューティ 比に生成することができ、図2および図4に示した比較 器11は、第1をよび第2の検出回路において第1をよ び第2の基础グロック信号を用いて比較をしているの で、デューティ比が異なる場合においても外部クロック 信号6と内部クロック信号?の信号の立ち上がりのタイ ミングを比較して、そのズレを比較することができ、位 相を比較する場合と同様の効果を表する。また、上記各 実施の形態での歪延素子には便宜的にインバータ国語を 使用したが、信号を進延させる回路であるなら、他のも のであってもよく上記各実施の形態と同様の効果を有す

#### [0052]

【発明の効果】以上のように請求項1別館のクロック値 号のズレを防止する回路によれば、比較器で外部クロッ ク借号と内部クロック信号の比較を行ったときの比較給 果の中に追み返れの情報およびズレの程度が含んでお り、副錦信号祭生国路は、前記選択回路が一度に変化さ せる這些君子の個数を、進み基れの情報なよびズレの程 度に応じて増減させるので、進み遅れの情報のみに応じ (TD)

**特限平**10-13219

18

て連延素子を増減させる場合に比べて、ズレを移正する まての時間を短縮することができるという効果がある。 【0053】軸球項2記載の発明のクロック個号のズレを防止する回路によれば、単1および第2の運転付加回域によりそれぞれ内部クロック個号を基础させて連転量が異なる複数の第1および第2の運動クロック個号を生成し、それぞれ第1および第2の連動クロック個号の使出回路で複数の第1および第2の運転クロック個号のそれぞれに対し外部クロック個号のよび持2の運転クロック個号のそれでれに対し外部クロックの号はよび内部クロック個号ので、内部クロック個号と外部クロック個号のデューティ比が異なっていてもそれらの個号のズレを比較するにとができ、汎用性のあるクロック信号のズレを防止する回路が得られるという効果がある。

17

日間からついるというな水がある。
【 0 0 5 4 】 間東項3記載の発明のクロック信号のズレを防止する回転によれば、 複数の第1 および第2 の連延 クロック信号の運延量に重み付けがなされているので、回路域域を小さくすることができるという効果がある。
【 0 0 5 5 】 論末項4 記載の発明のクロック信号のズレを防止する回路によれば、 第3の特別回路により、 複数の第1の建延クロック信号の中の遅延重が最も小さい第1の正型グロック信号の中の遅延がある。 10 正型グロック信号の中の遅延がある小さい第2の第2の運通グロック信号の中の遅返がある小さい第2の第2の運通グロック信号の中の更返置がある小さい第2の第2のでクロック信号をデータ取り込みのタイミングを与える信号として用いる第2のフリップフロップ回路の出力とを比較し、その異同を判別するので、外部クロック信号との間で透理がほとんどない場合に、 速延条子の 個数を変化させる回数を抑制することができるという。

\* 果がある。 【図画の簡単な説明】

【図 ! 】 この発明の実施の形態 ! によるDLL同路の 様式を示すプロック図である。

【図2】 図りに示した位相比較器の様成を示す回路図である。

【図3】 図2に示した位相比較器の位相比較特性を示すグラフである。

【図4】 この発明の実施の形態2による位相比較等の の 構成を示す回路図である。

【図5】 図4 化示した位相比較器の位相比較特性を示すグラフである。

【図6】 ての発明の支配の形成3によるDLL画路の 機成を示す平面図である。

【図7】 図6のDLL函路の使用形態を示す観念図である。

【盛8】 袋中のDLL回路の構成を示すプロック図である。

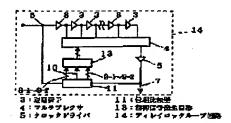
【図9】 従来のDLL回路に用いられる位相比較器の 棒収を示す回路図である。

【図10】 健来のDLL回路の位相比較特性を示すり ラフである。

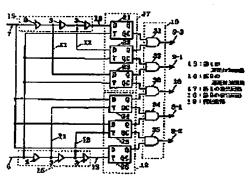
【符号の説明】

3 連延素子、4 マルチブレクサ、5 クロックドラ・イバ、11 位組比較器、13 制御信号是集団路、14、148~14d ディレイロックループ回路、15、36 第1の遅延付加回路、16、37 第2の基延付加回路、17、38 第1の検出画路、18、39 第2の検出画路、19、40 特定回路。

[62 1]



[202]



[日9]

